

Docket No.: 65933-045

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Ryu SHIMIZU	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 24, 2003	:	Examiner: Unknown
	:	
For:		METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE INCLUDING A MULTI-LAYER INTERCONNECT STRUCTURE

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

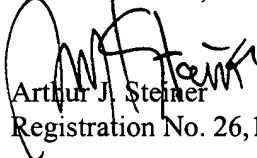
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2002-287671, filed September 30, 2002**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Arthur J. Steiner  
Registration No. 26,106

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 AJS:tlb  
Facsimile: (202) 756-8087  
**Date: September 24, 2003**

65933-045  
SHIMIZU  
September 24, 2003

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年    9 月 3 0 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 2 8 7 6 7 1  
Application Number:

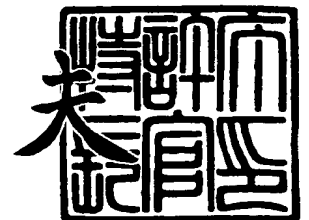
[ST. 10/C]:                      [ J P 2 0 0 2 - 2 8 7 6 7 1 ]

出      願      人                      三 洋 電 機 株 式 会 社  
Applicant(s):

2 0 0 3 年    8 月 1 3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 6 5 2 1 4

【書類名】 特許願

【整理番号】 NPC1020038

【提出日】 平成14年 9月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/768

【発明者】

    【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社  
社内

    【氏名】 清水 竜

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

【代理人】

    【識別番号】 100105924

    【弁理士】

    【氏名又は名称】 森下 賢樹

    【電話番号】 03-3461-3687

【手数料の表示】

    【予納台帳番号】 091329

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に下層配線を形成する工程と、  
前記下層配線上に層間絶縁膜を形成する工程と、  
前記層間絶縁膜を選択的にエッチングし、前記下層配線近傍に到達するビアホールを形成する工程と、  
前記ビアホールの底部に反射防止膜を形成する工程と、  
前記反射防止膜上に前記ビアホールの残りの部分を実質的に埋め込むように基板全面にレジスト膜を形成する工程と、  
前記レジスト膜に開口部を設ける工程と、  
前記レジスト膜をマスクとして前記層間絶縁膜を選択的にエッチングし、前記ビアホールと接続する配線溝を形成する工程と、  
前記ビアホール内部のレジスト膜および反射防止膜を除去した後、前記下層配線の上面を露出させ、前記配線溝および前記ビアホールに金属膜を実質的に埋め込む工程と  
を含み、

前記ビアホールの底部に反射防止膜を形成する工程において、ビアホール内中央部における反射防止膜の膜厚を、前記下層配線上面から前記配線溝の底面までの距離よりも薄くすることを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の半導体装置の製造方法において、  
レジスト膜に開口部を設ける前記工程と、配線溝を形成する前記工程との間に、  
前記ビアホールの側面に残存する反射防止膜を除去する工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 または 2 に記載の半導体装置の製造方法において、  
前記層間絶縁膜をエッチングして配線溝を形成する前記工程において、前記反射防止膜のエッチング速度が、前記レジスト膜のエッチング速度よりも遅くなるように、前記反射防止膜と前記レジスト膜の材料および成膜条件を選択することを特徴とする半導体装置の製造方法。

【請求項 4】 半導体基板上に下層配線を形成する工程と、  
前記下層配線上に層間絶縁膜を形成する工程と、  
前記層間絶縁膜を選択的にエッチングし、前記下層配線近傍に到達するビアホールを形成する工程と、  
前記ビアホールの底部に反射防止膜を形成する工程と、  
前記ビアホールの残りの部分を実質的に埋め込むように基板全面にレジスト膜を形成する工程と、  
前記レジスト膜に開口部を設ける工程と、  
前記レジスト膜をマスクとして前記層間絶縁膜を選択的にエッチングし、前記ビアホールと接続する配線溝を形成する工程と、  
前記ビアホール内部のレジスト膜および反射防止膜を除去した後、前記配線溝および前記ビアホールに金属膜を実質的に埋め込む工程と  
を含み、  
前記層間絶縁膜をエッチングして配線溝を形成する前記工程において、前記反射防止膜のエッチング速度が、前記レジスト膜のエッチング速度よりも速くなるように、前記反射防止膜と前記レジスト膜の材料および成膜条件を選択し、  
前記ビアホールの底部に反射防止膜を形成する工程において、ビアホール内中央部における反射防止膜の膜厚を、前記下層配線上面から前記配線溝の底面までの距離よりも厚くすること  
を特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、多層配線構造を形成する方法に関する。

【0 0 0 2】

【従来の技術】

近年、半導体デバイスの配線材料として、比抵抗の小さい銅が用いられることが多くなってきている。銅は反応性イオンエッチングによる加工が困難なため、銅を配線材料として用いる場合、ダマシン（D a m a s c e n e）法を用いた配

線形成がなされる。ダマシン法としては、配線層とビアプラグとを段階的に形成していくシングルダマシン法と、配線層およびビアプラグを同時に形成するデュアルダマシン法が知られている。このうち、デュアルダマシン法は、製造工程削減の観点から有利なプロセスである（特許文献 1 参照）。

#### 【0 0 0 3】

デュアルダマシンによる配線構造の形成方法としては、ビアファースト法とトレンチファースト法とがある。ビアファースト法は、ビアホール部分を先に形成し、そのパターンに重ね合わせる形で配線部分のトレンチを形成する方法である。一方、トレンチファースト法は、配線部分のトレンチ形成を先に行い、それに重ね合わせてビア部分を形成する方法である。このうち、ビアホールのコンタクト性能を確実なものにする観点からは、前者が有利である。以下、図 1 ～ 4 を参照して、従来技術によるビアファースト法のデュアルダマシンプロセスを示す。

#### 【0 0 0 4】

まず、不図示のシリコン基板上に下層配線層 1 を所定のパターンに形成する（図 1（a））。次いでこの基板に対し、窒化ケイ素（ $\text{SiN}$ ）からなる銅拡散防止膜 2 を形成し、この上に酸化シリコン（ $\text{SiO}_2$ ）からなる層間絶縁膜 3 を形成する（図 1（b））。その後、リソグラフィおよびエッチングにより、層間絶縁膜 3 中にビアホール 4 を形成する（図 1（c））。

つづいて、上記ビアホールを含む全面に有機物からなる反射防止膜 5 をスピコート法により塗布する。この際、スピコート時の材料たまりにより、ビアホール内においては、平坦部分の形成膜厚より厚い膜厚で反射防止膜 5 が塗布される（図 2（a））。

#### 【0 0 0 5】

次いで反射防止膜 5 上にレジスト膜 6 を塗布した後（図 2（b））、上層配線を規定したフォトマスクを用いた露光と、これにつづくアルカリ現像で、ビアホール 4 周囲に開口部を設け、レジストパターンを形成する（図 2（c））。このようにして開口部を設けたレジスト膜 6 をマスクとして利用し、その下部に露出する反射防止膜 5、層間絶縁膜 3 を順次エッチングする。これにより、ビアホール上部に配線溝を形成する（図 3（a）、（b））。その後、ビアホールおよび

配線溝に銅を埋め込み、CMP（化学的機械的研磨）により凹部外の領域にある銅をエッチングすることにより、下層配線、上層配線およびこれらを接続するビアが形成される。

【0006】

【特許文献1】

特開 2000-91425 号公報

【0007】

【発明が解決しようとする課題】

ところが従来のプロセスでは、配線溝を形成する際、図3（a）、（b）に示すように、配線溝内に円筒状の突起が発生することがあった。以下、この突起が発生する理由について説明する。

【0008】

配線溝のエッチング開始時点では、ビアホール内部に反射防止膜およびレジスト膜が充填された状態となっている。これらはそれぞれ異なる材料により構成され、配線溝エッチングを行った際のエッチング速度も相違する。このエッチング速度の遅い方の膜が、エッチングの進行につれて、相対的に突出した形状となる。一般に反射防止膜はレジスト膜よりも層間絶縁膜エッチング時にエッチングされにくい材料であることが多く、この場合、図3（a）のように反射防止膜5が側壁にそって円筒状に残存する。

【0009】

ここで、ビアの側壁形状はわずかにテーパ角を有しているため、円筒状の突起の陰になる箇所では層間絶縁膜3がエッチングされにくくなる。この結果、この箇所で層間絶縁膜3が残存し、突起部が発生する（図3（b））。その後、アッシングによるレジスト膜6の除去を行うと、この突起部が折れ曲がり（図4（a））、配線材料埋め込みの際、カバレッジを阻害しバリアメタル25の成膜不良を引き起こす（図4（b））。また、銅膜をめっきにより形成する場合、めっきシード銅膜も同様の成膜不良を引き起こす。

【0010】

本発明はこうした事情に鑑み、反射防止膜の残存等に起因する突起部の発生を

防止し、設計どおりの埋め込み金属膜を安定的に形成する技術を提供することを目的とする。

#### 【0 0 1 1】

##### 【課題を解決するための手段】

本発明に係る第一の半導体装置の製造方法は、半導体基板上に下層配線を形成する工程と、前記下層配線上に層間絶縁膜を形成する工程と、前記層間絶縁膜を選択的にエッチングし、前記下層配線近傍に到達するビアホールを形成する工程と、前記ビアホールの底部に反射防止膜を形成する工程と、前記反射防止膜上に前記ビアホールの残りの部分を実質的に埋め込むように基板全面にレジスト膜を形成する工程と、前記レジスト膜に開口部を設ける工程と、前記レジスト膜をマスクとして前記層間絶縁膜を選択的にエッチングし、前記ビアホールと接続する配線溝を形成する工程と、前記ビアホール内部のレジスト膜および反射防止膜を除去した後、前記下層配線の上面を露出させ、前記配線溝および前記ビアホールに金属膜を実質的に埋め込む工程とを含み、前記ビアホールの底部に反射防止膜を形成する工程において、ビアホール内中央部における反射防止膜の膜厚を、前記下層配線上面から前記配線溝の底面までの距離よりも薄くすることを特徴とする。

#### 【0 0 1 2】

一般に反射防止膜はレジスト膜よりも層間絶縁膜エッチング時にエッチングされにくい材料であることが多い。また、反射防止膜とレジスト膜との界面で変質層が発生する場合もある。このため、反射防止膜が露出した状態で配線溝形成のためのエッチングを行うと、突起部が生じやすい。この製造方法では、反射防止膜の膜厚を、配線溝底部から下層配線上面までの距離よりも薄くしているため、配線溝形成時に反射防止膜が露出することを抑制でき、突起部の発生を効果的に防止することができる。

#### 【0 0 1 3】

この製造方法は、配線溝を形成するエッチング時の反射防止膜のエッチング速度が、レジスト膜のそれよりも小さい場合に特に有効であるが、この逆、すなわち、反射防止膜のエッチング速度が、レジスト膜のそれよりも大きい場合にも有

効である。こうすることによって、ビアホールが反射防止膜によって確実に充填された状態で配線溝のエッチングが行われるので、たとえば、反射防止膜が過剰にエッチングされてビアホール底部の下層配線が露出しその表面が損傷することを防止することができる。また、反射防止膜とレジスト膜との界面に変質層が生じた場合にも、上記製造方法によれば界面自体が配線溝よりも下部に位置するため、これに起因する突起部の発生を防止することができる。

#### 【0014】

この製造方法において、レジスト膜に開口部を設ける工程と、配線溝を形成する工程との間に、ビアホールの側面に残存する反射防止膜を除去する工程をさらに含んでいてもよい。こうすることにより、反射防止膜の材料、成膜条件によらず、反射防止膜の形成にともなう突起部の発生を一層確実に抑制することができる。ビアホールの側面に残存する反射防止膜を除去する具体的方法としては、(i)通常の異方性エッチングに代え、基板へ印可するバイアスを低くするか、またはバイアスを印可しない状態として等方性エッチングを行う、(ii)エッチング時の酸素含有量を高くする、といった方法を例示することができ、これらを適宜組み合わせることもできる。

#### 【0015】

本発明に係る第二の製造方法は、半導体基板上に下層配線を形成する工程と、前記下層配線上に層間絶縁膜を形成する工程と、前記層間絶縁膜を選択的にエッチングし、前記下層配線近傍に到達するビアホールを形成する工程と、前記ビアホールの底部に反射防止膜を形成する工程と、前記ビアホールの残りの部分を実質的に埋め込むように基板全面にレジスト膜を形成する工程と、前記レジスト膜に開口部を設ける工程と、前記レジスト膜をマスクとして前記層間絶縁膜を選択的にエッチングし、前記ビアホールと接続する配線溝を形成する工程と、前記ビアホール内部のレジスト膜および反射防止膜を除去した後、前記配線溝および前記ビアホールに金属膜を実質的に埋め込む工程とを含み、前記層間絶縁膜をエッチングして配線溝を形成する前記工程において、前記反射防止膜のエッチング速度が、前記レジスト膜のエッチング速度よりも速くなるように、前記反射防止膜と前記レジスト膜の材料および成膜条件を選択し、前記ビアホールの底部に反射

防止膜を形成する工程において、ビアホール内中央部における反射防止膜の膜厚を、前記下層配線上面から前記配線溝の底面までの距離よりも厚くすることを特徴とする。

#### 【0016】

この製造方法によれば、配線溝エッチングを行う際、反射防止膜のエッチング速度がレジスト膜のエッチング速度よりも速くなるように、反射防止膜を形成している。このような反射防止膜は、膜材料、成膜条件などを適宜に選択することにより形成することができる。本発明では、こうした反射防止膜を用いた上で、反射防止膜の膜厚を、前記下層配線上面から前記配線溝の底面までの距離よりも厚くしている。こうすることにより、配線溝形成過程で反射防止膜とレジスト膜の両方が残存することとなるが、配線溝形成工程の後期においては、下部に位置する反射防止膜が主として残存する形態となる。この反射防止膜は比較的エッチングされやすい膜となるように設計されているため、突起部の発生を抑制することができる。

#### 【0017】

レジスト膜に開口部を設ける際、反射防止膜が露出しない程度にビアホール内部のレジスト膜を除去してもよい。この段階でレジスト膜を薄くすることにより、反射防止膜あるいはレジスト膜の残存膜厚を低減でき、突起部の発生をより一層抑制することができる。

#### 【0018】

本発明の製造方法において、反射防止膜を構成する材料としては、ノボラック系高分子またはアクリレート系高分子を含む材料が例示される。またレジスト膜を構成する材料としては、波長 100 nm 以上 400 nm の光、電子線、X 線、またはイオンビームに対して感度を有する感光性材料が例示される。これらの膜は、スピコート法により上記材料を塗布することにより成膜することができる。

#### 【0019】

本発明の製造方法は、様々な配線構造に適用することができるが、特に 2 層以上の多層配線構造に好適に適用することができる。

## 【 0 0 2 0 】

## 【発明の実施の形態】

次に本発明の好ましい実施の形態について図面を参照して説明する。各実施の形態では、配線材料として銅を用い、層間絶縁膜としてCVD法により形成したSiOC単層膜を用いている。なお、SiOC膜は、SiOCH膜と表記されることもあり、構成元素としては、通常、Si、O、CおよびHを含む。また、この層間絶縁膜をエッチングして配線溝を形成するエッチング工程において、層間絶縁膜のエッチング速度を1としたとき、以下に示す第一および第二の実施の形態では、反射防止膜のエッチング速度は $1/5$ 、レジスト膜のエッチング速度は $1/2$ となっている。また、第三の実施の形態では、反射防止膜のエッチング速度は $1/2$ 、レジスト膜のエッチング速度は $1/4$ となっている。

## 【 0 0 2 1 】

## 第一の実施の形態

本実施形態について、図5および図6を参照して説明する。

## 【 0 0 2 2 】

まず図5(a)の構造まで形成する。すなわち、不図示のシリコン基板上に銅配線を含む下層配線層1を所定のパターンに形成し、この上にSiCからなる銅拡散防止膜10を形成する。次いでこの上に、CVD法によりSiOCからなる層間絶縁膜11(膜厚800nm)を形成する。その後、リソグラフィおよびエッチングにより、層間絶縁膜11中に銅拡散防止膜10へ達するビアホールを形成する。つづいて、スピコート法により、基板全面に反射防止膜5を形成する。反射防止膜5は次工程で溝配線パターンのフォトリソグラフィを行うに際して、乱反射による形状劣化を防止する役割を果たす。本実施形態においては、反射防止膜の膜材料として日産化学製のDUV-30Jを使用し、ビアホールを形成しない平坦面において70nmの膜厚を形成するよう塗布する。このとき図中yの深さはホール中央部で300nmとなる。ビアホールの一部に反射防止膜5が埋め込まれた後、スピコート法により、ホールの残りの部分を埋め込むように基板全面にKrF用レジスト材料からなるレジスト膜6を形成する。

## 【 0 0 2 3 】

つづいてレジスト膜 6 に配線溝エッチングのための開口を設ける（図 5（b））。このレジスト膜 6 をマスクとして、反射防止膜 5、層間絶縁膜 11 を順次エッチングし、ビアホール上部に配線溝を形成する（図 5（c））。

#### 【0024】

ここで、上部の配線溝底部から下層配線層 1 上面（下層配線上面）までの距離を  $x$  とし、ホール中央部における反射防止膜 5 の厚みを  $y$  としたとき（図 5（c））、 $x > y$  となるよう反射防止膜 5 の膜厚が制御されている。このため、配線溝内部のビアホール形成箇所には、反射防止膜 5 は露出せず、レジスト膜 6 のみが露出する形態となる。また反射防止膜が側壁に残る量が無視できるほど薄くなっている。以上のことから、配線溝およびビアホール内には、エッチングされにくい反射防止膜 5 が露出せず、この結果、図 3 に示したような突起部の発生が抑制される。

#### 【0025】

その後、基板平坦部およびビアホール内の反射防止膜 5 およびレジスト膜 6 を除去した後（図 6（a））、銅拡散防止膜 10 を開口させる（図 6（b））。つづいてビアホールおよび配線溝に銅膜 13 を埋め込み、CMP により凹部外の領域にある銅をエッチングすることにより、下層配線、上層配線およびこれらを接続するビアが同時に形成される（図 6（c））。

#### 【0026】

本実施形態で示した製造方法によれば、反射防止膜の形成によりフォトリソグラフィ工程の歩留まりを向上させつつ、反射防止膜の形成にともなう突起部の発生を抑制することができ、信頼性の高い配線構造を得ることができる。

#### 【0027】

##### 第二の実施の形態

第一の実施の形態で説明したプロセスにおいて、反射防止膜の材料や成膜条件によっては、ビアホールの側壁に反射防止膜が残存する場合がある。この場合は、 $x > y$  の関係が保てていても、側壁の残存反射防止膜の陰となる箇所において円筒状突起を形成する場合がある。本実施形態では、こうした残存反射防止膜を除去することにより、円筒状突起の発生を抑制する。

## 【0028】

図7は本実施形態に係る製造方法を示す図である。まず、第一の実施の形態と同様、下層配線1および層間絶縁膜11を形成し、層間絶縁膜11中にビアホールを形成した後、ホール内に反射防止膜5およびレジスト膜6を形成する（図7（a））。本実施形態では、反射防止膜5を形成する際の塗布溶液として第一の実施の形態と異なるものを用いており、図7（a）に示すようにホール側壁にせり上がった形状で反射防止膜5が形成される。

## 【0029】

つづいてレジスト膜6に配線溝エッチングのための開口を設ける（図7（b））。このときホール内に残存するレジスト膜6の一部も除去されるが、ホール内側壁に反射防止膜5のせり上がった部分が残存する形となる。したがって、通常の異方性エッチングで反射防止膜5をエッチングすると、反射防止膜5のせり上がった部分がエッチングされずに残り、次工程の配線溝エッチング時に、反射防止膜5のせり上がり部分の陰となる箇所で層間絶縁膜11が残存し、円筒状突起が発生することとなる。そこで本実施形態では、図7（b）の状態からレジスト膜6をマスクとして基板平坦部の反射防止膜5をエッチングする際、反射防止膜5のせり上がり部分を除去する。この除去を確実に行うためには、通常の異方性エッチングに代え、基板へ印可するバイアスを低くするか、またはバイアスを印可しない状態として等方性エッチングを行うことが有効である。また、エッチングガスの酸素含有率を高くすることも有効であり、これらの方法を組み合わせて採用することもできる。

## 【0030】

この処理を行った後の状態を図7（c）に示す。その後、レジスト膜6をマスクとして層間絶縁膜11をエッチングし、配線溝を形成する（図8（a））。次いで反射防止膜5およびレジスト膜6を除去した後（図8（b））、銅拡散防止膜10を除去し、下層配線1の上面を露出させる（図8（c））。その後、第一の実施の形態と同様にして配線溝およびビアホール内に銅膜を埋め込み、CMPを行って配線構造を完成する。

## 【0031】

本実施形態で示した製造方法では、反射防止膜 5 の膜厚を薄くしているため、側壁部に残る反射防止膜 5 は図 2 ～図 3 に示す従来の場合に比べて薄膜となる。このため、反射防止膜エッチングの条件の調整によって十分に側壁の残膜を除去することができる。本実施形態の方法によれば、反射防止膜の形成にともなう突起部の発生を、より確実に抑制することができ、信頼性の高い半導体装置を得ることができる。

### 【0032】

#### 第三の実施の形態

第一および第二の実施の形態では、配線溝エッチングを行う際、反射防止膜のエッチング速度がレジスト膜のエッチング速度よりも遅い場合について述べた。通常の反射防止膜材料を選択した場合はこのようになることが多いが、反射防止膜の材料選択や成膜条件によっては、反射防止膜のエッチング速度がレジスト膜のエッチング速度よりも速くなる場合がある。このような場合でも、配線溝形成時に反射防止膜の露出を防止する第一および第二の実施の形態のプロセスは有効であるが、本実施形態では、他の有効なプロセス例を示す。

### 【0033】

まず、第一の実施の形態と同様、下層配線 1 および層間絶縁膜 11 を形成し、層間絶縁膜 11 中にビアホールを形成した後、ホール内に反射防止膜 5 およびレジスト膜 6 を形成する（図 9（a））。反射防止膜 5 の膜厚は、前記下層配線上面から前記配線溝の底面までの距離（図 10 の x）よりも厚くする。

### 【0034】

つづいてレジスト膜 6 に配線溝エッチングのための開口を設ける（図 9（b））。このレジスト膜 6 をマスクとして、反射防止膜 5 をエッチングした後、レジスト膜 6 をマスクとして層間絶縁膜 11 をエッチングする。反射防止膜 5 の膜厚を厚くしているので、図 9（c）に示すように、このエッチングの後半ではレジスト膜 6 が消失し、反射防止膜 5 のみが配線溝内に露出する状態となる。反射防止膜 5 のエッチング速度は比較的速いため、この状態からさらにエッチングを進行させたとき、層間絶縁膜 11 とともに反射防止膜 5 もエッチングされる。このため、突起発生の原因となる反射防止膜 5 の残存が抑制され、図 10 のように設

計通りの形状の配線溝を得ることができる。その後、第一および第二の実施の形態と同様にして配線溝およびビアホール内に銅膜を埋め込み、CMPを行って配線構造を完成する。

#### 【0035】

本実施形態の方法によれば、反射防止膜のエッチング速度がレジスト膜のエッチング速度よりも速い場合において、突起部の発生を抑制することができる。

#### 【0036】

以上、本発明を実施の形態に基づいて説明した。この実施の形態は例示であり、それらの各構成要素や各プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

#### 【0037】

たとえば、上記実施形態では、CVD法により形成したSiOC膜の単層構造からなる層間絶縁膜とした場合を例に挙げて説明したが、これに代えて多層構造の層間絶縁膜とすることもできる。たとえば、図11(a)に示すように、CVD-SiOCからなる層間絶縁膜11上に保護膜16を設けても良い。これにより、図8(b)に示す銅拡散防止膜10のエッチング工程で配線溝角部がエッチングされて形状が変化することを抑制できる。また、CMP工程における層間絶縁膜11の損傷を防止することができる。このような保護膜の材料としては、SiN、SiON、SiC、SiCN、SiO<sub>2</sub>等を例示することができる。また、図11(b)に示すように、保護膜16とあわせ、上層配線20の下面にエッチング阻止膜14を設けても良い。こうすることにより配線溝を設計通りに制御することができる。エッチング阻止膜14の材料としては、SiN、SiON、SiC、SiCN、SiO<sub>2</sub>等を例示することができる。なお、この配線構造では、エッチング阻止膜14と保護膜16との間に、CVD-SiOCからなる配線間絶縁膜15を設けている。

#### 【0038】

##### 【発明の効果】

以上説明したように本発明によれば、ダマシン法による配線溝エッチング時に

おける円筒状突起の発生を抑制することができ、良好な配線材料の埋め込み形成が可能となる。

【図面の簡単な説明】

- 【図 1】 従来の半導体装置の製造方法を説明する工程断面図である。
- 【図 2】 従来の半導体装置の製造方法を説明する工程断面図である。
- 【図 3】 従来の半導体装置の製造方法を説明する工程断面図である。
- 【図 4】 従来の半導体装置の製造方法を説明する工程断面図である。
- 【図 5】 本発明に係る半導体装置の製造方法の一例を示す工程断面図である。
- 【図 6】 本発明に係る半導体装置の製造方法の一例を示す工程断面図である。
- 【図 7】 本発明に係る半導体装置の製造方法の一例を示す工程断面図である。
- 【図 8】 本発明に係る半導体装置の製造方法の一例を示す工程断面図である。
- 【図 9】 本発明に係る半導体装置の製造方法の一例を示す工程断面図である。
- 【図 1 0】 本発明に係る半導体装置の製造方法の一例を示す工程断面図である。
- 【図 1 1】 本発明に係る半導体装置の製造方法により作製される配線構造の一例である。

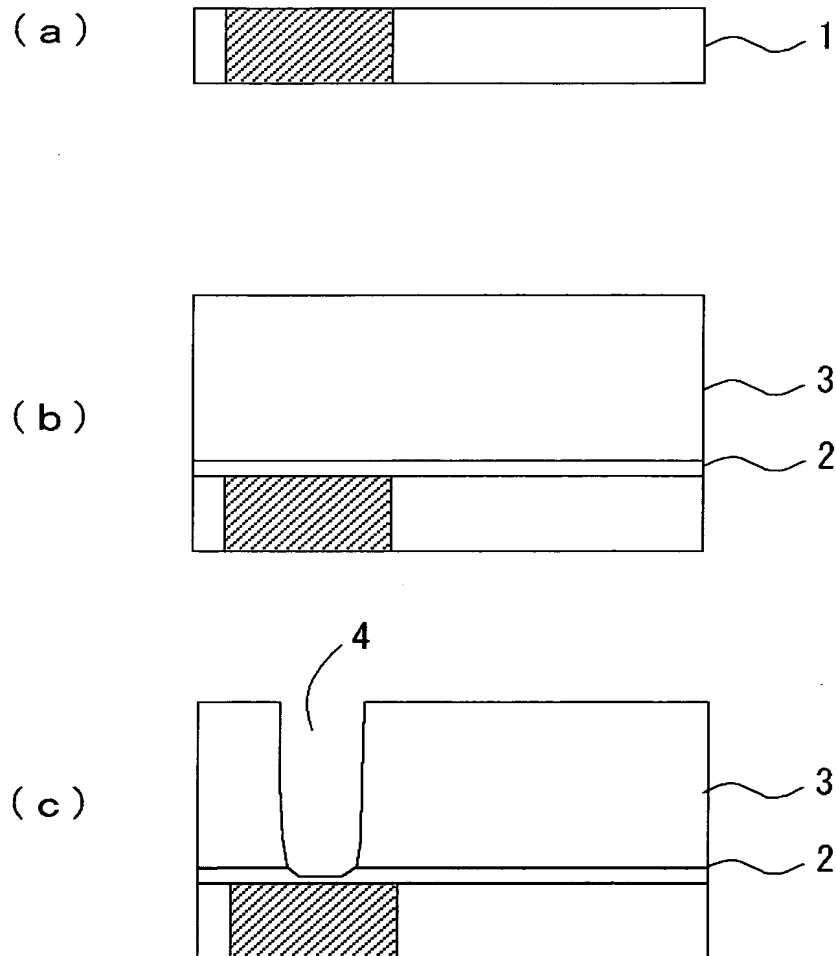
【符号の説明】

1・・・下層配線層、2・・・銅拡散防止膜、3・・・層間絶縁膜、4・・・ビアホール、5・・・反射防止膜、6・・・レジスト膜、10・・・銅拡散防止膜、11・・・層間絶縁膜、13・・・銅膜、14・・・エッチング阻止膜、15・・・配線間絶縁膜、16・・・保護膜、20・・・上層配線、25・・・バリアメタル。

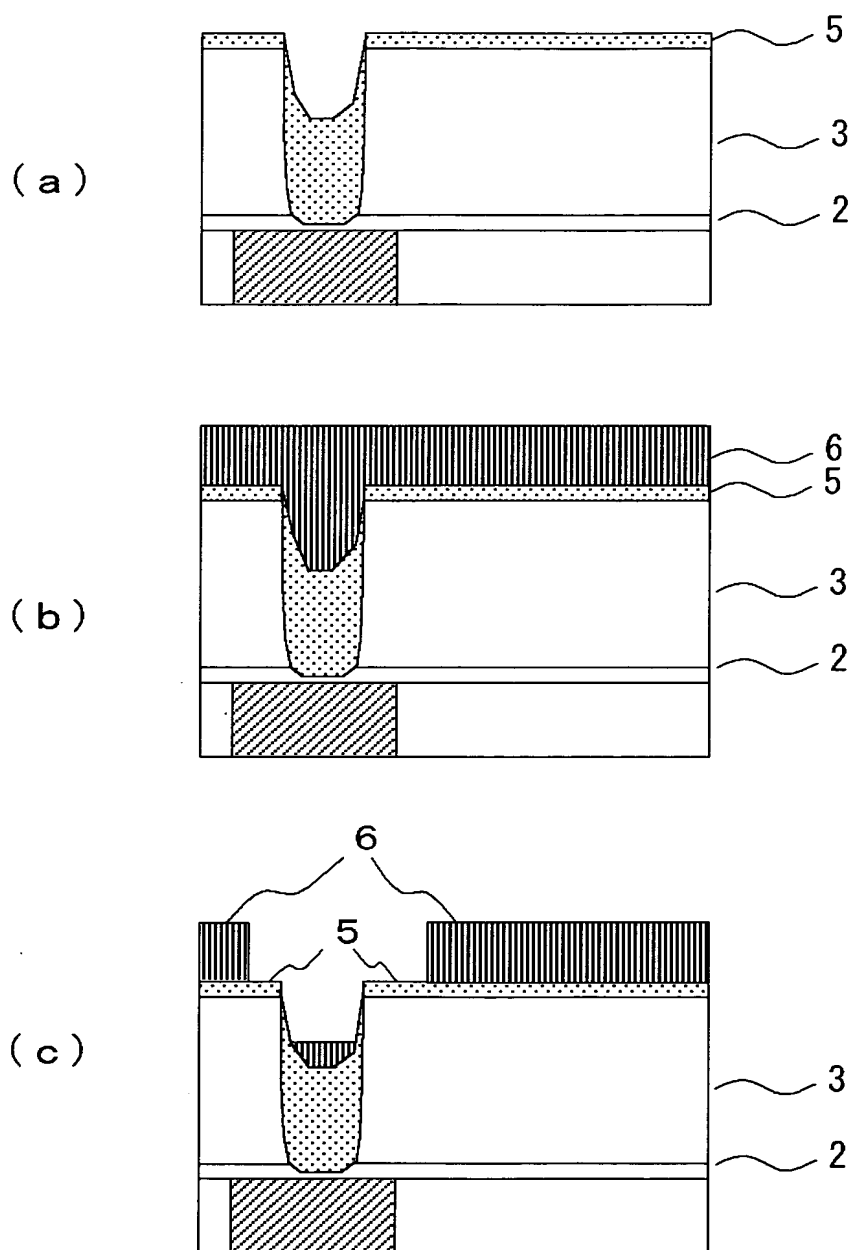
【書類名】

図面

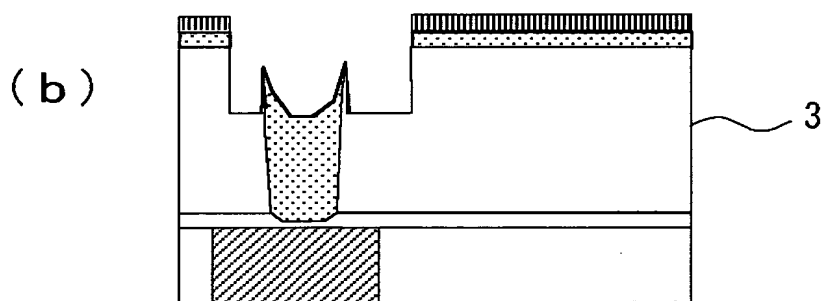
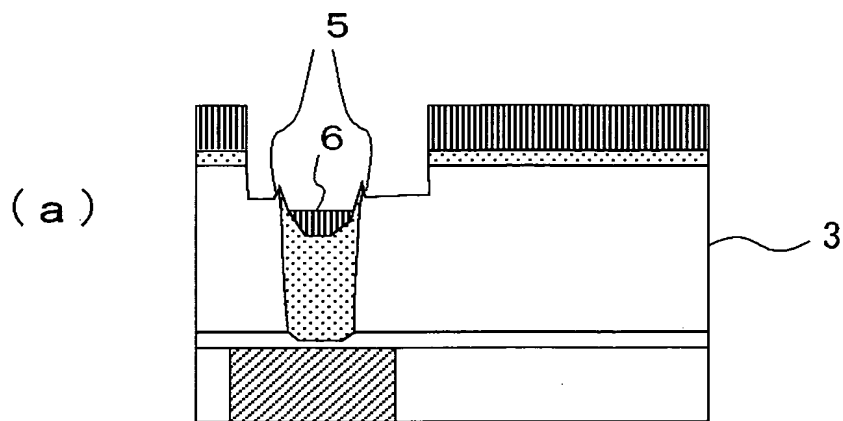
【図 1】



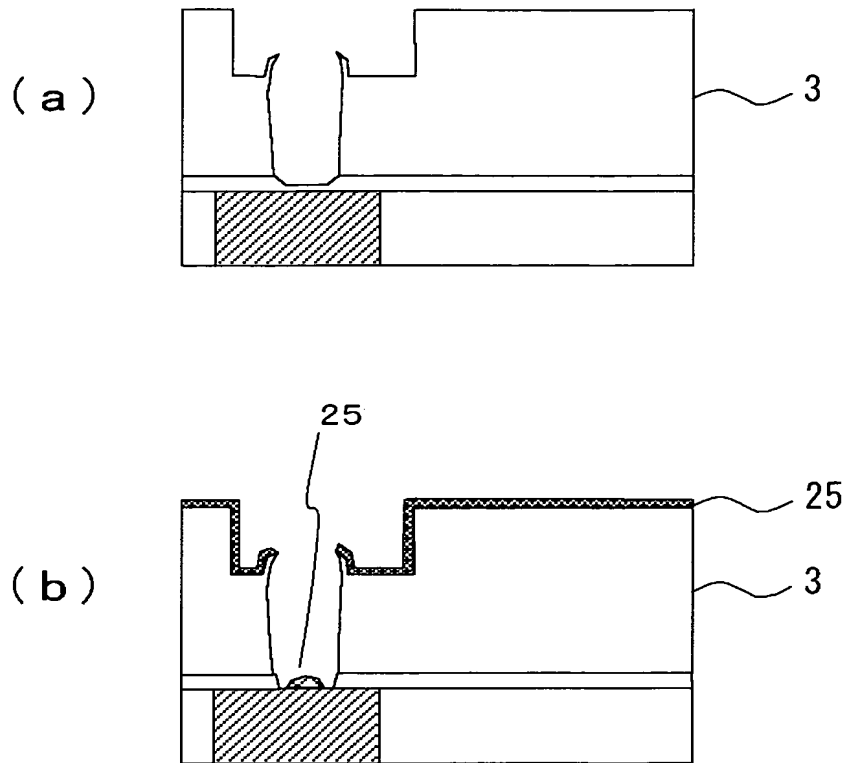
【図 2】



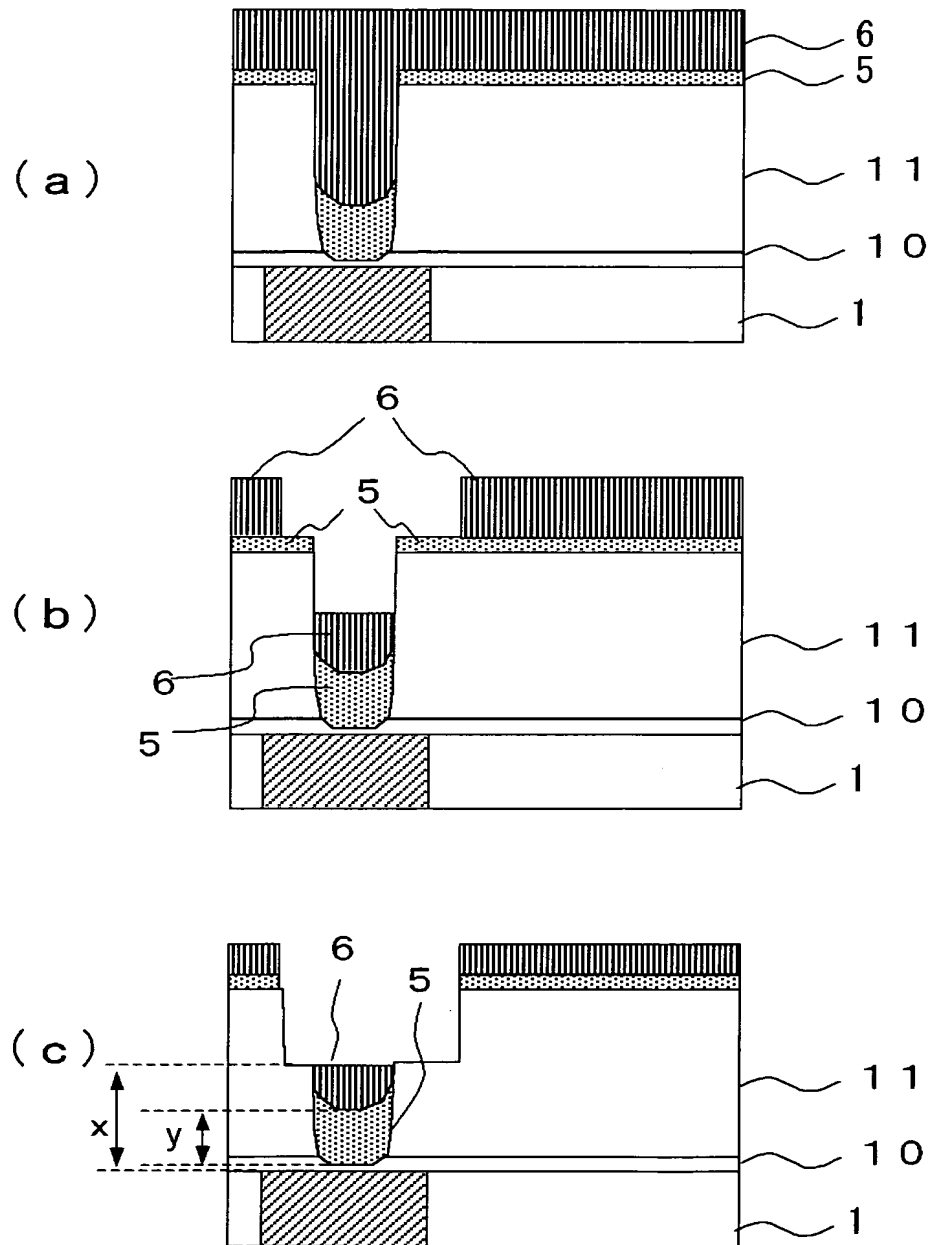
【図 3】



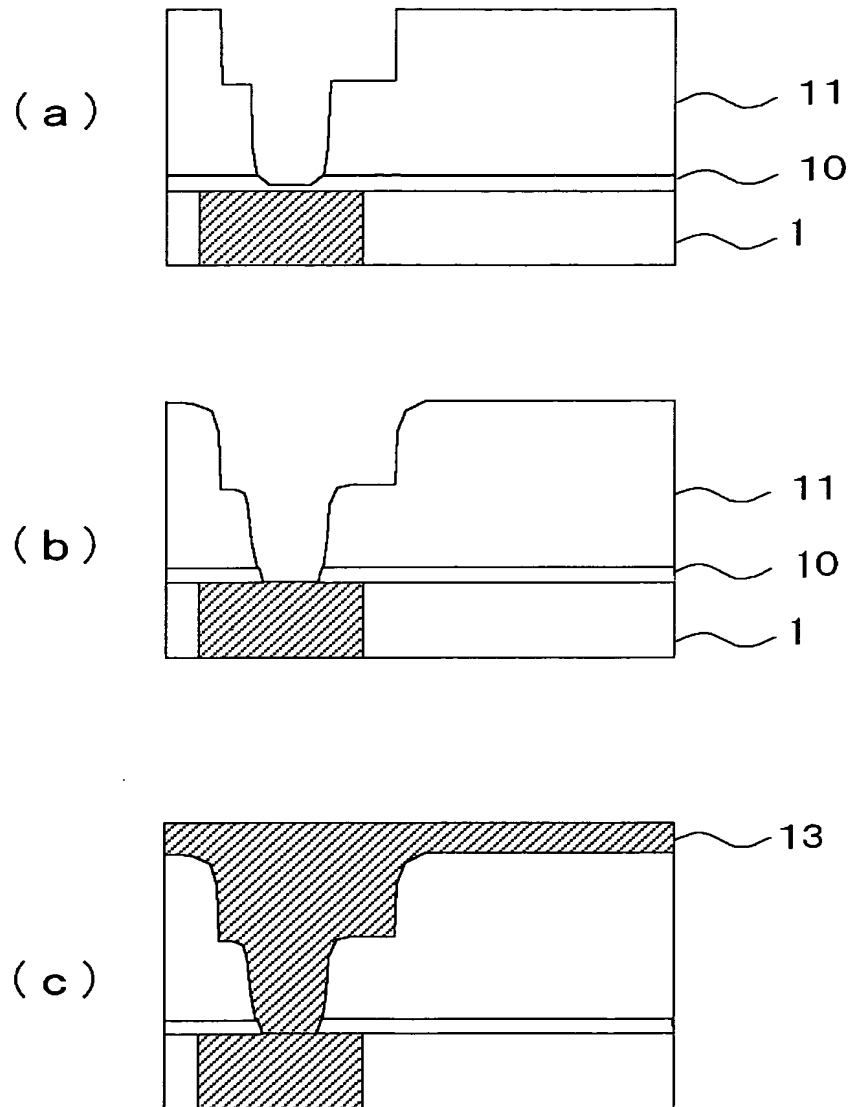
【図 4】



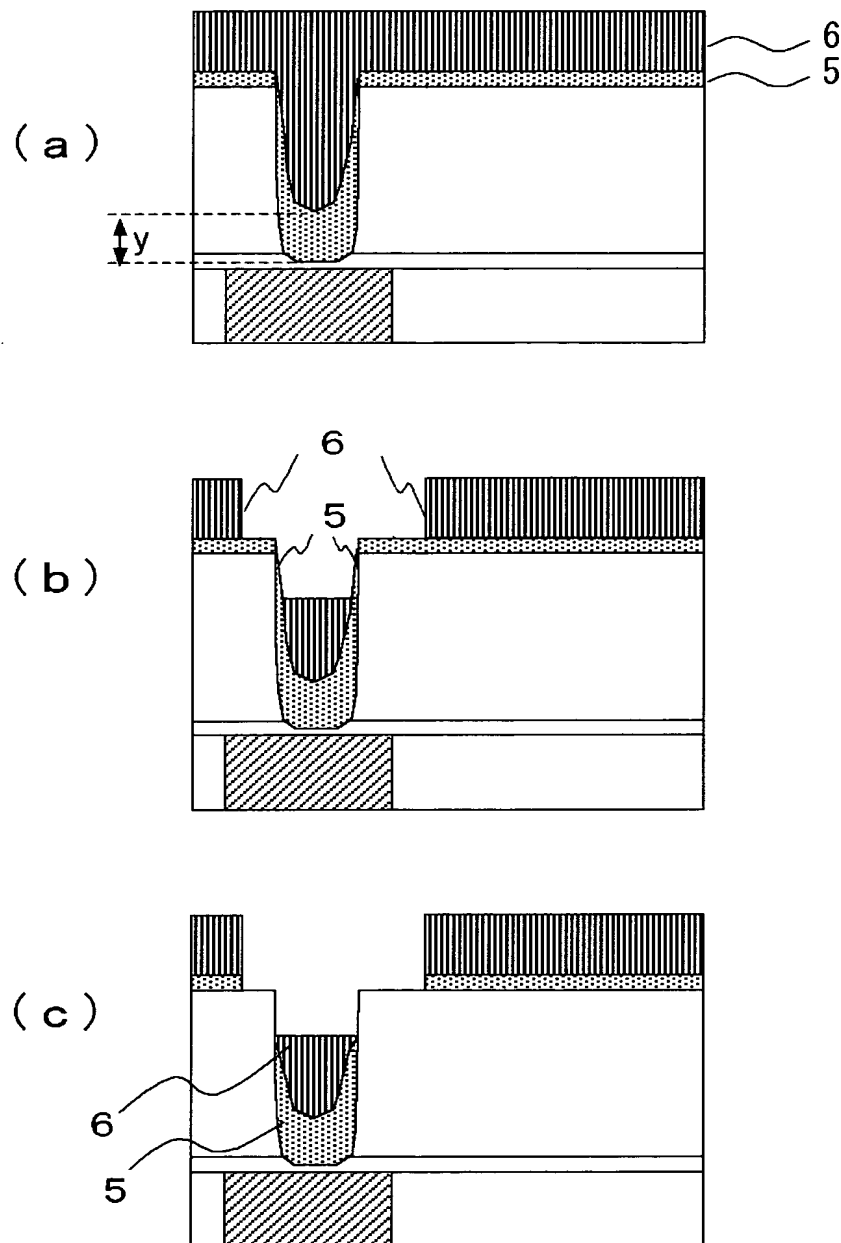
【図 5】



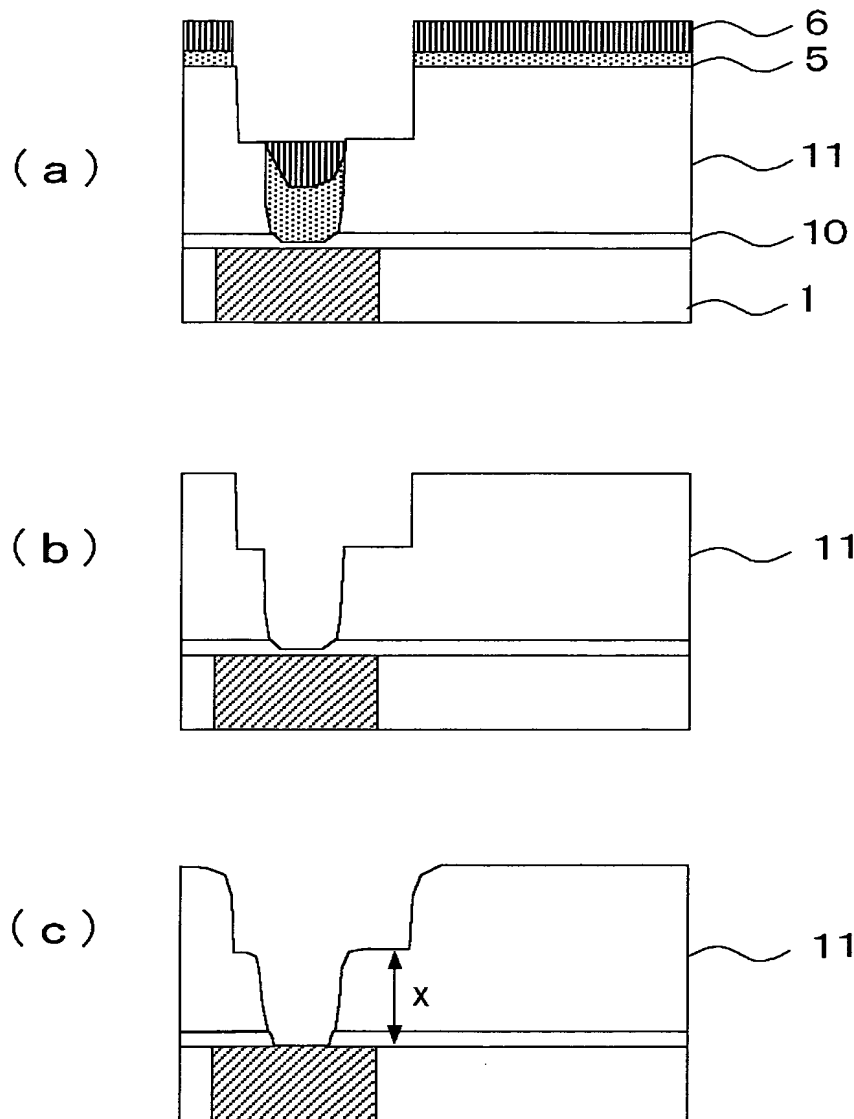
【図 6】



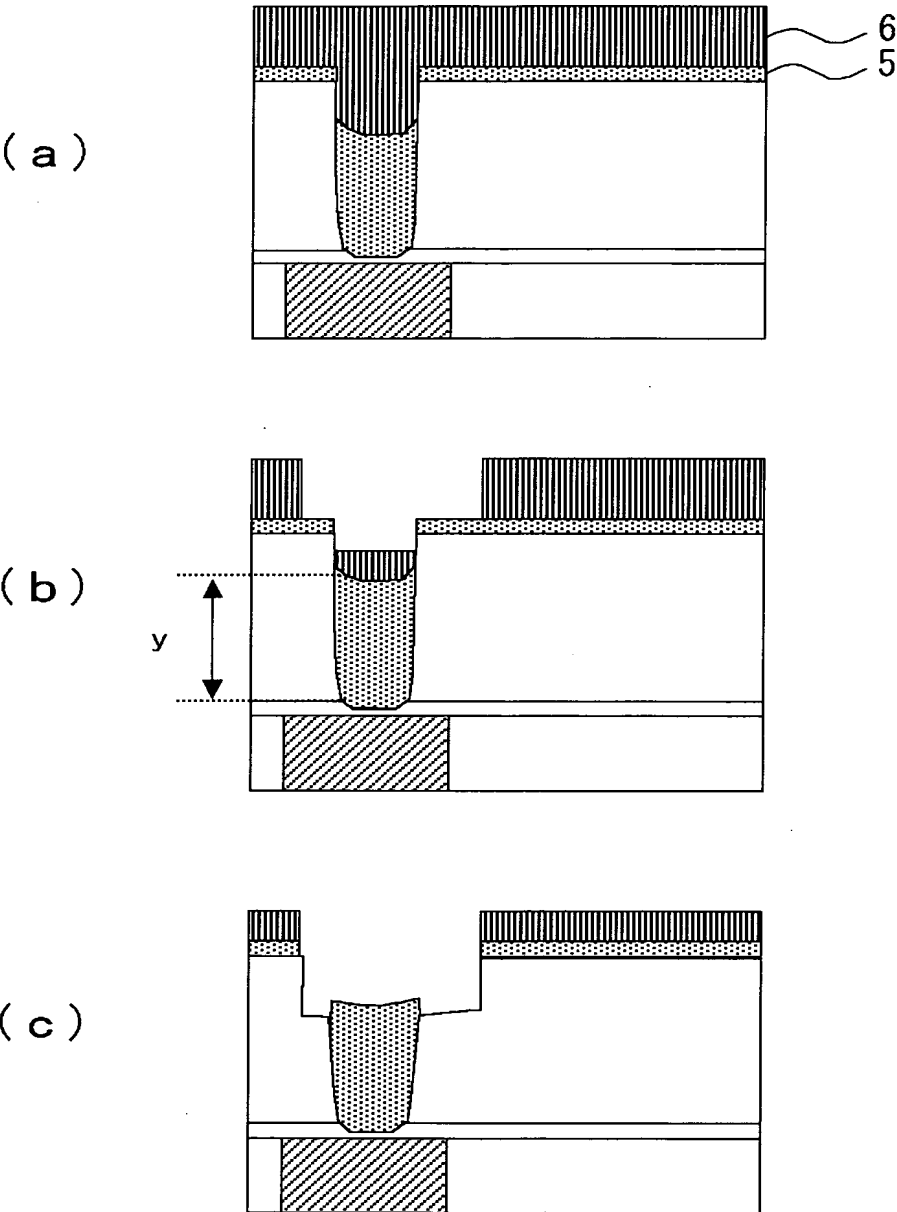
【図 7】



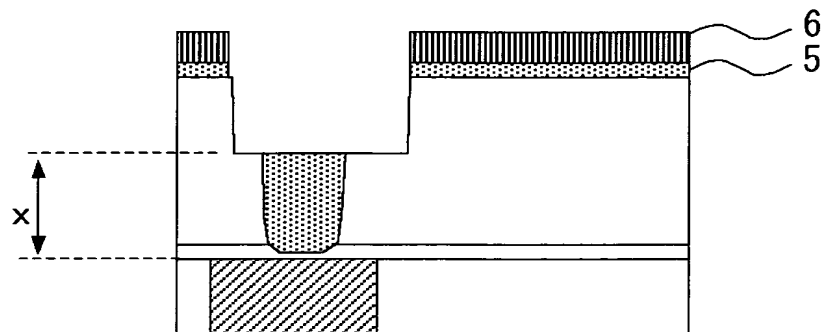
【図 8】



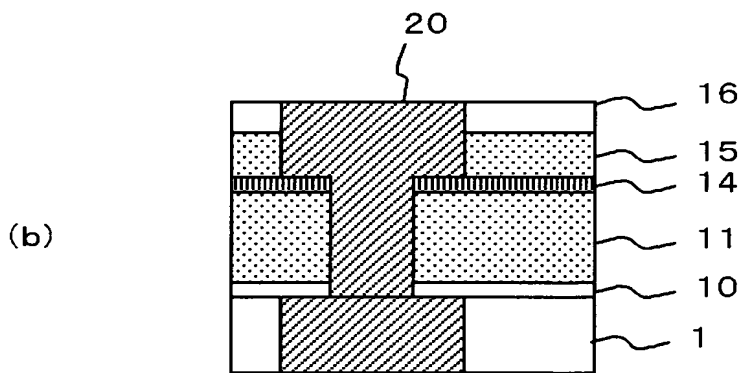
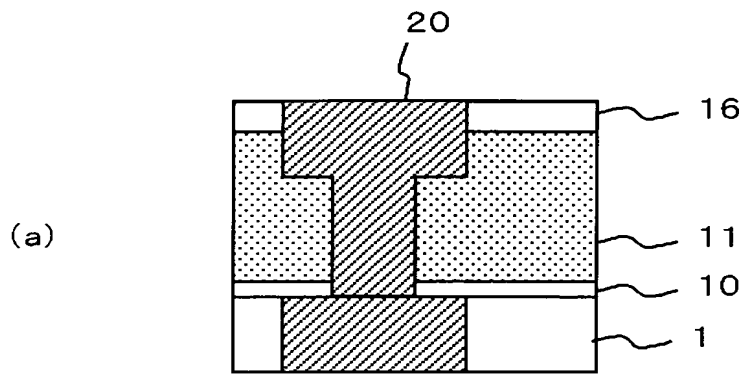
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 反射防止膜の残存等に起因する突起部の発生を防止し、設計どおりの埋め込み金属膜を安定的に形成する技術を提供する。

【解決手段】 層間絶縁膜 11 に設けたビアホール内の反射防止膜 5 の膜厚を  $y$ 、配線溝底部から下層配線層 1 上面（下層配線上面）までの距離を  $x$  としたときに、 $x > y$  とする。

【選択図】 図 5

特願 2 0 0 2 - 2 8 7 6 7 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 1 8 8 9 ]

- |          |                         |
|----------|-------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 4 日     |
| [変更理由]   | 新規登録                    |
| 住 所      | 大阪府守口市京阪本通 2 丁目 1 8 番地  |
| 氏 名      | 三洋電機株式会社                |
|          |                         |
| 2. 変更年月日 | 1 9 9 3 年 1 0 月 2 0 日   |
| [変更理由]   | 住所変更                    |
| 住 所      | 大阪府守口市京阪本通 2 丁目 5 番 5 号 |
| 氏 名      | 三洋電機株式会社                |